

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-173165

(43)Date of publication of application : 20.06.2003

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2002-268656

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.2002

(72)Inventor : AOKI YOSHIAKI

(30)Priority

Priority number : 2001375010

Priority date : 29.09.2001

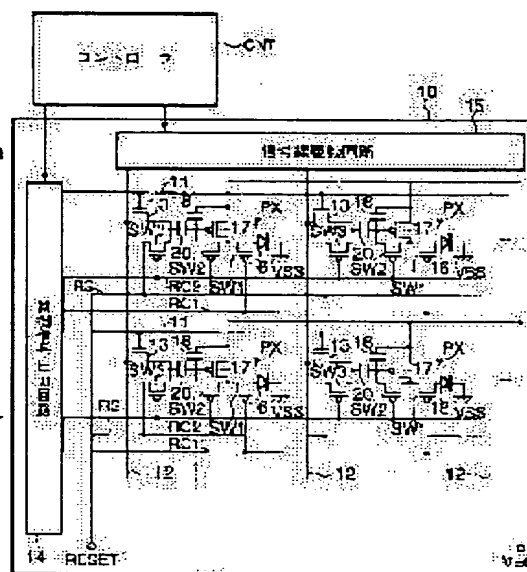
Priority country : JP

## (54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To surely prevent display unevenness.

SOLUTION: The display device is provided with a plurality of display pixels PX, driving circuits 14, 15 for supplying video signals to drive these display pixels PX, a plurality of pixel switches 13 for fetching the video signals from the driving circuits 14, 15, and a plurality of reset switches SW3 for fetching reset signals from reset signal terminals RESET prior to a plurality of the pixel switches. Each display pixel includes a self-luminous element 16, a driving control element 17 connected in series with the self-luminous element 16 between power supply terminals VEL, VSS, a capacitance element 18 for holding the video signal fetched by the corresponding pixel switch 13 as a control voltage of the driving control element 17, a threshold value cancelling circuit 20 for initializing the control voltage of the driving control element 17 at the level equivalent to a threshold voltage peculiar to the driving control element 17 by using the reset signal fetched by the corresponding reset switch SW3, SW1, and SW2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-173165

(P2003-173165A)

(43)公開日 平成15年6月20日(2003.6.20)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テ-マ-ユ-ト・(参考)

G O 9 G 3/30

G O 9 G 3/30

J 3K007

K 5 C 0 8 0

3/20

6 1 1

3/20

6 1 1 J

6 2 1

6 2 1 M

6 2 4

6 2 4 B

審査請求 未請求 請求項の数12 OL (全 8 頁) 最終頁に続く

(21)出願番号 特願2002-268656(P2002-268656)

(22) 出題日 平成14年 9 月13日 (2002. 9. 13)

(31)優先權主張番号 特願2001-375010(P2001-375010)

(32) 優先日 平成13年9月29日(2001.9.29)

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 青木 良朗

埼玉県深谷市幡羅町一丁目9番地2 株式会社

会社東芝深谷工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 3K007 AB17 DB03 GA00

50080 AA06 BB05 DD05 DD08 EE28

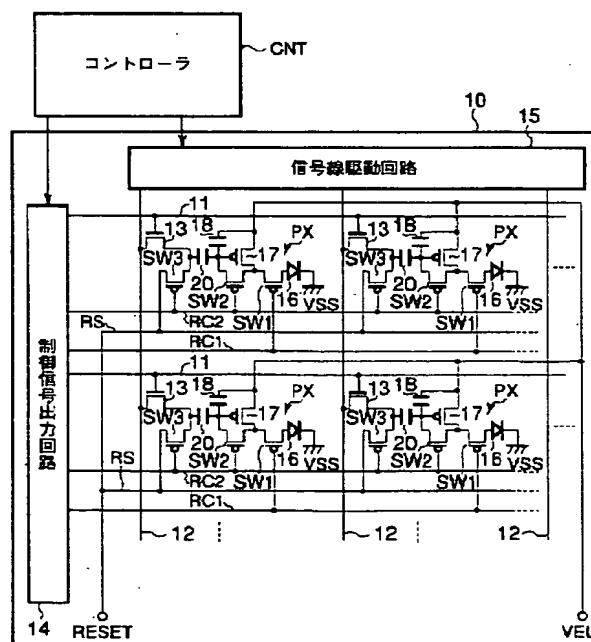
FF11 JJ02 JJ03 JJ04

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示ムラを確実に防止する。

【解決手段】表示装置は複数の表示画素PXと、これら表示画素PXを駆動する映像信号を供給する駆動回路14、15と、駆動回路14、15からの映像信号を取り込む複数の画素スイッチ13と、前記複数の画素スイッチに先行してリセット信号端子RESETからのリセット信号を取り込む複数のリセットスイッチSW3とを備える。各表示画素PXは自己発光素子16、電源端子VEL、VSS間において自己発光素子16に直列に接続される駆動制御素子17、対応画素スイッチ13で取り込まれた映像信号を駆動制御素子17の制御電圧として保持する容量素子18、対応リセットスイッチSW3で取り込まれたリセット信号を用いて駆動制御素子17の制御電圧を駆動制御素子17固有の閾値電圧に等しいレベルに初期化する閾値キャンセル回路20、SW1、SW2を含む。



**【特許請求の範囲】**

【請求項1】 表示画面を構成する複数の表示画素と、前記複数の表示画素を駆動する映像信号を供給する駆動回路と、前記駆動回路からの映像信号をそれぞれ取り込む複数の画素スイッチと、前記複数の画素スイッチにそれぞれ先行してリセット信号端子からのリセット信号を取り込む複数のリセットスイッチとを備え、前記複数の表示画素の各々は自己発光素子、一対の電源端子間において前記自己発光素子に直列に接続される駆動制御素子、対応画素スイッチによって取り込まれた映像信号を前記駆動制御素子の制御電圧として保持する容量素子、および対応リセットスイッチによって取り込まれたリセット信号を用いて前記駆動制御素子の制御電圧をこの駆動制御素子固有のスレッシュホールド電圧に等しいレベルに初期化する閾値キャンセル回路を含むことを特徴とする表示装置。

【請求項2】 前記リセットスイッチは複数の表示画素に1本の割合で設けられるリセット信号用配線を介して前記リセット信号端子に接続されることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記リセットスイッチは前記リセット信号として前記一対の電源端子の一方の電位を受け取るように接続されることを特徴とする請求項1に記載の表示装置。

【請求項4】 前記駆動制御素子は駆動用薄膜トランジスタを含み、前記閾値キャンセル回路は前記駆動用薄膜トランジスタのドレインと前記自己発光素子間に接続される第1スイッチ、前記駆動用薄膜トランジスタのドレインと前記駆動用薄膜トランジスタのゲート間に接続される第2スイッチ、および前記リセットスイッチおよび前記駆動用薄膜トランジスタのゲート間に接続されるキャパシタを含むことを特徴とする請求項1に記載の表示装置。

【請求項5】 前記リセットスイッチおよび前記第2スイッチは共通な制御信号により制御される薄膜トランジスタであることを特徴とする請求項4に記載の表示装置。

【請求項6】 前記第1スイッチは前記リセットスイッチおよび前記第2スイッチの制御信号とは独立な制御信号により制御される薄膜トランジスタであることを特徴とする請求項5に記載の表示装置。

【請求項7】 映像信号を供給する前記複数の信号線と、前記複数の信号線と略直交して配置され走査信号を供給する複数の走査線と、各々対応走査線からの走査信号にตอบสนองして対応信号線から映像信号を取り込む複数の画素スイッチと、前記複数の画素スイッチにそれぞれ接続され各々表示素子およびこの表示素子を駆動する駆動制御素子とを含む複数の表示画素と、前記複数の信号線から独立してリセット信号を供給するリセット信号用配線と、各々前記リセット信号用配線および対応表示画素の

駆動制御素子間に配置され前記駆動制御素子への前記リセット信号の供給を制御する複数のリセットスイッチとを備えることを特徴とする表示装置。

【請求項8】 前記リセット信号用配線は格子状に配置されることを特徴とする請求項7に記載の表示装置。

【請求項9】 前記表示素子は自己発光素子であることを特徴とする請求項7に記載の表示装置。

【請求項10】 前記表示画素は前記表示素子に対応して、前記駆動制御素子の制御電圧を保持する容量素子、前記駆動制御素子の制御電圧をこの駆動制御素子固有のスレッシュホールド電圧に等しくなるよう設定する閾値キャンセル回路を含むことを特徴とする請求項9に記載の表示装置。

【請求項11】 前記閾値キャンセル回路およびリセットスイッチの制御は同一配線を用いてなされることを特徴とする請求項10に記載の表示装置。

【請求項12】 基板上に配置される複数の信号線と、前記信号線と略直交して配置される複数の走査線と、ゲートが前記走査線、ソースが前記信号線に接続される薄膜トランジスタでなる画素スイッチと、前記画素スイッチのドレインに接続される表示画素と、前記信号線とは別に配線されるリセット信号用配線と、ソースが前記リセット信号用配線、ドレインが前記画素スイッチのドレインに接続される薄膜トランジスタでなるリセットスイッチとを備えることを特徴とする表示装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、複数の表示画素が表示画面を構成するように配置される表示装置に関し、特に各表示画素が例えば有機EL(Electro Luminescence)素子のような自己発光素子を含む表示装置に関する。

**【0002】**

【従来の技術】近年では、有機EL表示装置が軽量、薄型、高輝度という特徴を持つことから携帯電話のような携帯情報機器のモニタディスプレイとして注目されている。典型的な有機EL表示装置は、表示画面を構成するためにマトリクス状に配列される複数の表示画素を備える。この有機EL表示装置では、複数の走査線がこれら表示画素の行に沿って配置され、複数の信号線がこれら表示画素の列に沿って配置され、複数の画素スイッチがこれら走査線および信号線の交差位置近傍に配置される。各表示画素は自己発光素子である有機EL素子、一対の電源端子間でこの有機EL素子に直列に接続される薄膜トランジスタで構成される駆動制御素子、および駆動制御素子の制御電圧を保持する容量素子を有する。各画素スイッチは対応走査線から供給される走査信号にตอบสนองして導通し、対応信号線から供給される映像信号を制御電圧として駆動制御素子に印加する。駆動制御素子はこの制御電圧に応じた駆動電流を有機EL素子に供給する。

【0003】有機EL素子は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。アノード電極はITO等で構成される透明電極であり、カソード電極はアルミニウム等の金属で構成される反射電極である。この構成により、有機EL素子は10V以下の印加電圧でも100~100000cd/m<sup>2</sup>程度の輝度を得ることができる。

【0004】ところで、この有機EL表示装置では、表示ムラが駆動制御素子のスレッショルド電圧 $V_{th}$ のバラツキによって生じ易い。従来、このようなスレッショルド電圧 $V_{th}$ の影響を回避するため、例えば閾値キャンセル回路が全表示画素に設けられる。各閾値キャンセル回路は信号線駆動回路から映像信号に先だって供給されるリセット信号を用いて駆動制御素子の制御電圧を初期化するように構成される。

【0005】

【発明が解決しようとする課題】しかし、上述の信号線駆動回路は各行の表示画素に供給される映像信号を更新する毎に全信号線にリセット信号を供給する必要がある。さらに、有機EL表示装置の画素数が大型化および高精細化のために増大した場合には、信号線駆動回路が信号線電位を短時間にリセット電位に遷移させることが困難となる。駆動制御素子の制御電圧がこの結果として完全に初期化されないと、これが表示ムラの原因となることがあった。

【0006】本発明の目的は、表示ムラを確実に防止できる表示装置を提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、表示画面を構成する複数の表示画素と、前記複数の表示画素を駆動する映像信号を供給する駆動回路と、前記駆動回路からの映像信号をそれぞれ取り込む複数の画素スイッチと、前記複数の画素スイッチにそれぞれ先行してリセット信号端子からのリセット信号を取り込む複数のリセットスイッチとを備え、前記複数の表示画素の各々は自己発光素子、一対の電源端子間において前記自己発光素子に直列に接続される駆動制御素子、対応画素スイッチによって取り込まれた映像信号を前記駆動制御素子の制御電圧として保持する容量素子、および対応リセットスイッチによって取り込まれたリセット信号を用いて前記駆動制御素子の制御電圧をこの駆動制御素子固有のスレッショルド電圧に等しいレベルに初期化する閾値キャンセル回路を含む表示装置が提供される。

【0008】この表示装置では、リセット信号はリセット信号端子からリセットスイッチに供給され、このリセットスイッチにより取り込まれる。リセット信号端子はリセット信号の電位から変化する必要がなく、このリセ

ット信号端子とリセットスイッチとを結ぶ配線についても同様である。このため、リセットスイッチがリセット信号端子およびリセットスイッチ間の配線に寄生する配線容量の影響を受けずに短時間でリセット信号を取り込むことが可能である。すなわち、リセット信号の供給に映像信号用配線を用いた場合に生じる信号遷移時間の不足によって駆動制御素子の制御電圧を完全に初期化できないような状況になりにくい。従って、配線容量が増大した場合でも駆動制御素子のスレッショルド電圧に依存した表示ムラを確実に防止できる。また、リセット信号端子および各リセットスイッチ間の配線パターンには自由度があるため、リセットスイッチ相互の配置に依存した電圧降下の影響を考慮した配線パターンを用いることが可能である。

【0009】

【発明の実施の形態】以下、本発明の第1実施形態に係る有機EL表示装置について添付図面を参照して説明する。

【0010】図1はこの有機EL表示装置の構成を示す。有機EL表示装置は有機ELパネル10および有機ELパネル10を制御するコントローラCNTにより構成される。

【0011】有機ELパネル10は、ガラス板等の光透過性絶縁基板上にマトリクス状に配置される複数の表示画素PX、これら表示画素PXの行に沿って配置される複数の走査線11、これら表示画素PXの行に直交する方向に配置される複数の信号線12、これら走査線11および信号線12の交差位置近傍に配置される複数の画素スイッチ13、複数の走査線11を順次駆動する制御信号出力回路14、および複数の信号線12を駆動する信号線駆動回路15を備える。また、走査線11と平行に信号線12とは独立に配線されるリセット信号用配線RSが配置される。各表示画素PXは自己発光素子である有機EL素子16、一対の電源端子VEL、VSS間でこの有機EL素子16に直列に接続され例えばPチャネル薄膜トランジスタで構成される駆動制御素子17、および画素スイッチ13により取込まれた映像信号を駆動制御素子17の制御電圧として保持する容量素子18を有する。電源端子VELおよびVSSは例えば+10Vの電位および0Vの電位にそれぞれ設定される。

【0012】画素スイッチ13は例えばNチャネル薄膜トランジスタにより構成され、走査線11から供給される走査信号により駆動されたときに信号線12から供給される映像信号 $V_{sig}$ (=0~4V)を出力する。駆動制御素子17は画素スイッチ13によって取り込まれ制御電圧として印加される映像信号 $V_{sig}$ に応じた駆動電流 $I_d$ を有機EL素子16に供給する。有機EL素子16は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれら

を再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。

【0013】コントローラCNTは有機ELパネル10の外部に配置されるプリント基板上に形成され、制御信号出力回路14および信号線駆動回路15を制御する。コントローラCNTは外部から供給されるデジタル映像信号および同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生し、これら垂直走査制御信号および水平走査制御信号をそれぞれ制御信号出力回路14および信号線駆動回路15に供給すると共に、水平および垂直走査タイミングに同期してデジタル映像信号を信号線駆動回路15に供給する。

【0014】信号線駆動回路15は水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し複数の信号線12に並列的に供給する。制御信号出力回路14は垂直走査制御信号の制御により各フレーム期間において順次複数の走査線11に走査信号を供給する。すなわち、各走査線は互いに異なる1水平走査期間(1H)において走査信号により駆動される。各行の画素スイッチ13は対応走査線11から供給される走査信号により1水平走査期間のうちの所定期間(映像書込期間)だけ導通し、走査信号が再び1フレーム期間後に供給されるまで非導通となる。1行分の駆動制御素子17はこれら画素スイッチ13の導通により複数の信号線12から供給される映像信号 $V_{sig}$ に対応した駆動電流 $I_d$ を有機EL素子16にそれぞれ供給する。この映像信号 $V_{sig}$ は映像信号の更新周期である1フレーム期間(1F)毎に更新される。

【0015】図2は表示画素PXの等価回路を示す。各表示画素PXは、有機EL素子16、駆動制御素子17、容量素子18に加えて閾値キャンセル回路を備える。この閾値キャンセル回路は、駆動制御素子17のゲートソース間に接続されるキャパシタ20、駆動制御素子17のドレイン電流を駆動電流 $I_d$ として有機EL素子16に出力する第1スイッチSW1と、駆動制御素子17のゲート・ドレイン間の電位差をゼロにリセットする第2スイッチSW2と、リセット信号端子RESETからのリセット信号 $V_{rst}$ (=8V)を取り込むリセットスイッチSW3とから構成される。

【0016】これらスイッチSW1～SW3は駆動制御素子17の制御電圧をこの駆動制御素子17のスレッシュホールド電圧 $V_{th}$ に等しいレベルに初期化するためにリセット制御信号RC1およびRC2の制御により図3に示す関係でオンオフされる。

【0017】これらスイッチSW1～SW3について詳しく説明すると、第2スイッチSW2は駆動制御素子17のゲートおよびドレイン間に接続され、例えばPチャネル薄膜トランジスタで構成される。第1スイッチSW

1は駆動制御素子17のドレインと有機EL素子16との間に接続され、例えばPチャネル薄膜トランジスタで構成される。リセットスイッチSW3は画素スイッチ13およびキャパシタ20間のノードとリセット信号端子RESETとの間に接続され、例えばPチャネル薄膜トランジスタにより構成される。リセットスイッチSW3の薄膜トランジスタは、リセット信号用配線RSに接続されるソースおよび画素スイッチ13のドレインに接続されるドレインを含む。第1スイッチSW1は制御信号出力回路14で発生されるリセット制御信号RC1により制御され、第2スイッチSW2およびリセットスイッチSW3は制御信号出力回路14で発生されるリセット制御信号RC2により制御される。

【0018】そしてこのような構成により、行毎にリセット信号を各表示画素に供給することが可能となる。

【0019】リセット期間は、各水平走査期間の最初に駆動制御素子17のゲートソース間電圧を閾値電圧 $V_{th}$ より大きくなるよう設定するもので、画素スイッチ13がOFFの状態で、第1スイッチSW1、第2スイッチSW2、およびリセットスイッチSW3をオン状態とする。ノードAの電位はリセットスイッチSW3からのリセット信号 $V_{rst}$ により上昇し、ノードBおよびCの電位は第2スイッチSW2を介して流れる放電電流により低下する。

【0020】続く閾値 $V_{th}$ バラツキキャンセル期間では、画素スイッチ13がオフ状態を維持した状態で、さらに第1スイッチSW1をオフ状態に設定する。これにより、ノードBの電位が第2スイッチSW2を介して流れる充電電流により駆動制御素子17のスレッシュホールド電圧 $V_{th}$ に等しいレベルに上昇する。一方、キャパシタのノードA側には、リセット電圧が保持される。

【0021】映像信号書込期間では、画素スイッチ13がオン状態にされ、第1スイッチSW1、第2スイッチSW2およびリセットスイッチSW3がオフ状態にされる。これにより、映像信号 $V_{sig}$ がリセットスイッチSW3からのリセット信号 $V_{rst}$ に代わって画素スイッチ13から供給されると、ノードBの電位がスレッシュホールド電圧 $V_{th}$ を映像信号 $V_{sig}$ に加えたレベルとなる。

【0022】映像信号表示期間では、第1スイッチSW1がオン状態にされ、画素スイッチ13、第2スイッチSW2およびリセットスイッチSW3がオフ状態にされる。これにより、駆動電流 $I_d$ が第1スイッチSW1を介して有機EL素子16に供給される。駆動電流 $I_d$ はリセット信号 $V_{rst}$ と映像信号 $V_{sig}$ との電位差により決定されることになり、駆動制御素子17のスレッシュホールド電圧 $V_{th}$ にバラツキがあっても、駆動電流 $I_d$ の変動を抑制できる。尚、本実施形態においては、駆動制御素子17の特性補正としてスレッシュホールド電圧のバラツキ補正を行うものについて説明したが、これに限定されない。また、閾値キャンセル回路の構成も適宜選択でき

る。

【0023】本実施形態の有機EL表示装置では、複数のリセットスイッチSW3が複数の表示画素PXの行に沿って配置される複数のリセット信号用配線RSを介してリセット信号端子RESETに接続される。リセット信号Vrstはリセット信号端子RESETからリセットスイッチSW3に供給され、このリセットスイッチSW3により取り込まれる。リセット信号Vrstが映像信号Vsig用配線である信号線12とは別の専用配線であるリセット信号用配線RSにより供給されるため、リセットスイッチSW3がリセット信号用配線RSに寄生する配線容量の影響を受けずに短時間でリセット信号を取り込むことが可能である。すなわち、リセット信号Vrstの供給に映像信号Vsigを供給する信号線12を用いた場合に生じる信号遅移時間の不足によって駆動制御素子17の制御電圧を完全に初期化できないような状況になりにくく、駆動制御素子17の特性補正期間を十分に確保することができる。従って、配線容量が増大した場合でも駆動制御素子17のスレッシュホールド電圧Vthに依存した表示ムラを確実に防止できる。

【0024】図4は本発明の第2実施形態に係る有機EL表示装置の構成を示す。この有機EL表示装置はリセット信号Vrst並びにリセット制御信号RC1およびRC2用の配線を複数行の表示画素PXについて共通化したことを除いて図1に示す有機EL表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【0025】具体的には、図4に示すようにリセット信号Vrst並びにリセット制御信号RC1およびRC2が奇数および偶数行の表示画素PX間において走査線11と平行するようにそれぞれ配置される配線を介して供給される。この場合、リセット信号Vrstおよびリセット制御信号RC1およびRC2を供給するために必要とされる配線領域を低減することができるため、表示装置の大型化および高精細化が容易になる。

【0026】図5は本発明の第3実施形態に係る有機EL表示装置の構成を示す。この有機EL表示装置はリセット信号用配線RSを簡略化したことを除いて図1に示す有機EL表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【0027】具体的には、図5に示すようにリセットスイッチSW3のソースがリセット信号用配線RSを介して電源配線VELに接続され、この配線RSからの電源電圧VELをリセット信号Vrstとして取込む。この構成は映像信号Vsigの最大値が電源電圧VELにほぼ等しい必要があるが、リセット信号用配線RSのための配線領域を低減することが可能である。

【0028】図6は本発明の第4実施形態に係る有機EL表示装置の構成を示す。この有機EL表示装置は、複数のリセット信号用配線RSが図6に示すように各信号

線12に平行に配置されることを除いて図1に示す有機EL表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【0029】具体的には、複数のリセットスイッチSW3が複数の表示画素PXの列方向に平行に配置される複数のリセット信号用配線RSを介してリセット信号端子RESETに接続される。このような構成では、補正動作時におけるリセット信号Vrstの供給に複数本のリセット信号用配線RSを用いることができ、リセット信号Vrstの供給を一リセット配線に集中することなく、その配線数分で分割することができる。そして、リセット信号用配線内での電圧降下の発生を抑制することができる。画面の均一表示が可能となる。詳しく説明すると、これらリセット信号用配線RSによる電圧降下をリセット信号線数分で分割でき、この電圧降下に依存して1行分の表示画素PX間で発生するクロストークを図1に示す有機EL表示装置の場合よりも改善して均一な画像を表示画面に表示させることができる。

【0030】図7は本発明の第5実施形態に係る有機EL表示装置の構成を示す。この有機EL表示装置は、複数のリセット信号用配線RSが図7に示すように格子状に配置されることを除いて図1に示す有機EL表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【0031】具体的には、複数のリセットスイッチSW3が複数の表示画素PXの行および列に沿って配置され交差位置において互いに接続される複数のリセット信号用配線RSを介してリセット信号端子RESETに接続される。このような構成では、第4実施形態と同様の効果に加え、リセット信号Vrst供給を表示面内に格子状に配置した配線により行うので、電圧降下を最小に抑えることができる。そのため、これらリセット信号用配線RS間で生じる電圧降下のバラツキが一層低減され、また電圧降下が発生したとしても、クロストークとして視認されるのを抑制でき、さらに均一な画像を表示画面に表示させることができる。

【0032】以上説明したように、表示画素への映像信号供給とリセット信号供給をそれぞれ独立した別の配線で行うことにより、例えば大型化による負荷増大、あるいは高精細化による水平走査期間の短縮に際しても、十分な補正期間を確保することが可能となる。また、さらに同時に補正動作を行う複数の表示画素に複数本の配線からリセット信号を供給することで電圧降下を抑制でき、画面の均一表示が可能となる。

【0033】尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々な変形可能である。

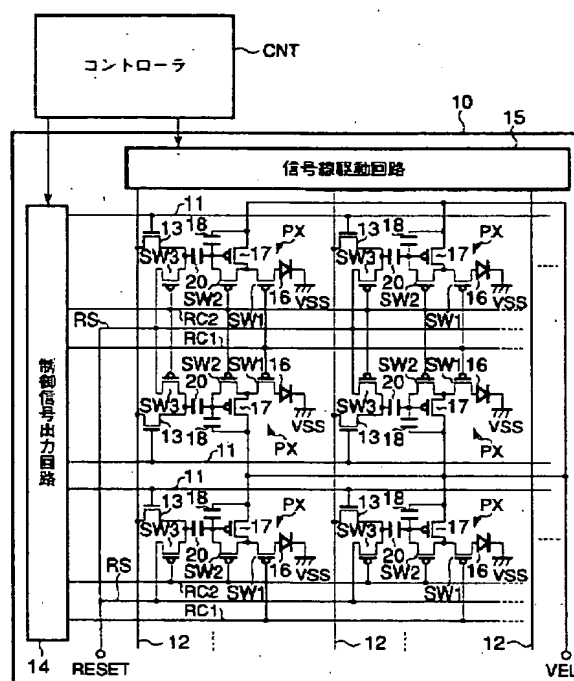
【0034】例えばリセットスイッチSW3はPチャネル薄膜トランジスタで構成されたが、例えばNチャネル薄膜トランジスタ、あるいはトランスファゲート等のス

【図 1】本発明の一実施形態に係る有機 EL 表示装置の構成を示す回路図である。

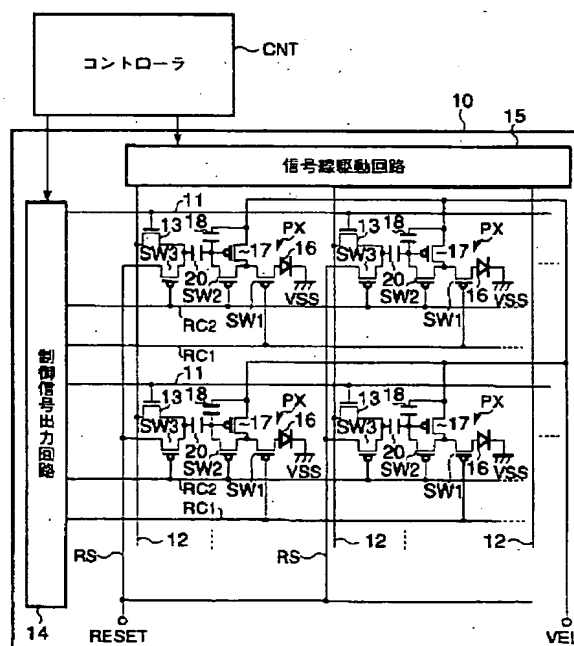
RESET…リセット信号端子

[illegible]

【图 4】

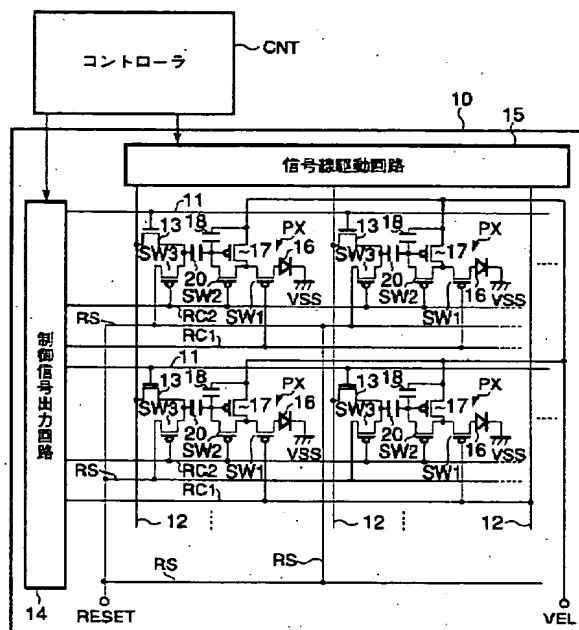


【图 6】





【図7】



フロントページの続き

(51) Int. Cl. 7

G09G 3/20

H05B 33/14

識別記号

642

FI

G09G 3/20

H05B 33/14

テームコード (参考)

642A

A